

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70235

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl.⁶

H 0 3 H 17/02

識別記号

庁内整理番号

D 8842-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 F D (全 5 頁)

(21) 出願番号 特願平6-227326

(22) 出願日 平成6年(1994)8月29日

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 打田 友昭

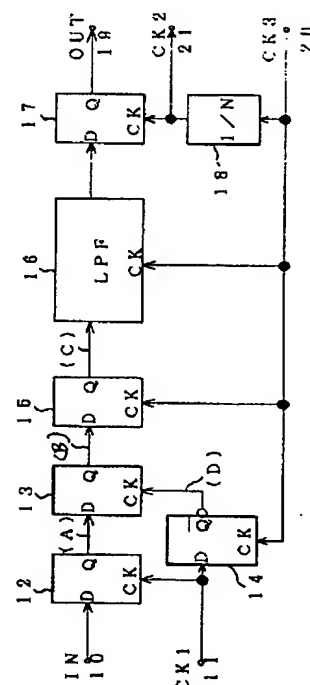
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54) 【発明の名称】 クロックレート変換回路

(57) 【要約】

【目的】 単純なロジックによる回路構成で、任意のクロック周波数比でのレート変換を可能とすると共に、I C化に好適な回路を提供すること。

【構成】 D F F 1 4 は、第2のクロック C K 2 の周波数 f_2 の正の整数倍 (N 倍) の周波数 f_3 を有する第3のクロック C K 3 により、第1のクロック C K 1 をラッチする。D F F 1 3 は、D F F 1 4 の出力をクロックとして、クロック C K 1 により標本化されている入力信号をラッチする。D F F 1 3 の出力をクロック C K 3 で動作する L P F 1 6 を介し D F F 1 7 に供給する。1/N 分周器 1 8 によりクロック C K 3 をクロック C K 2 に変換する。クロック C K 2 を D F F 1 7 に供給し、L P F 1 6 の出力を 1/N に間引き、周波数 f_2 に変換された出力信号を得る。



【特許請求の範囲】

【請求項1】第1のクロックにより標準化された入力信号を、第2のクロックのレートの信号にレート変換するクロックレート変換回路であって、
前記第2のクロックの周波数の正の整数倍（N倍）の周波数を有する第3のクロックにより、前記第1のクロックをラッチする第1の論理回路と、
前記第1の論理回路の出力をクロックとして、前記入力信号をラッチする第2の論理回路と、
前記第2の論理回路の出力が供給される、前記第3のクロックで動作するローパスフィルタと、
前記第3のクロックが供給され、前記ローパスフィルタの出力を $1/N$ に間引いて、前記第2のクロックのレートの信号を出力する $1/N$ 間引き回路とより構成したことを特徴とするクロックレート変換回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロックレート変換回路に関し、簡単なロジック回路による回路構成で入力信号を任意のクロック周波数比にレート変換できる回路を提供することを目的としている。

【0002】

【従来の技術】例えば、テレビジョンの信号処理において、Y/C分離回路は色副搬送波の周波数の4倍のクロックで動作し、走査線倍密回路は水平走査周波数の整数倍のクロックで動作する。このように、それぞれの回路の動作クロックが異なっているので、扱う信号のクロックレートを変換するために、クロックレート変換回路が用いられている。

【0003】また、異なるクロックレートの複数の入力信号を切り替えて同一クロックで信号処理をする場合にもクロックレート変換回路が用いられている。

【0004】クロック周波数 f_1 の信号列からクロック周波数 f_2 の信号列にクロックレート（サンプリングレート）を変換する場合、 f_1 と f_2 とが比較的簡単な整数比の時には、直線補間を行う方法が従来よく用いられている。

【0005】この直線補間によるレート変換（第1の従来例）を図4と共に簡単に説明する。同図（A）は、クロック周波数 f_1 の信号列 x_1, x_2, x_3, \dots を示し、同図（B）は、クロック周波数 f_2 の信号列 y_1, y_2, y_3, \dots を示す。なお、 f_1 と f_2 との比を簡単な整数比 $2:3$ とする。直線補間後の信号列 y_1, y_2, y_3, \dots は以下に示す値となる。

$$【0006】 y_1 = x_1$$

$$y_2 = (1/3) * x_1 + (2/3) * x_2$$

$$y_3 = (2/3) * x_2 + (1/3) * x_3$$

$$y_4 = x_3$$

y_4 以下は上式の繰り返しとなる。

【0007】但し、この直線補間の方法は、 f_1 と f_2

との比が比較的簡単な整数比の時のみに有効である。

【0008】クロック周波数 f_1 と f_2 との比が比較的簡単な整数比でない場合の従来のレート変換回路（第2の従来例）を図5に示す。クロック CK_1 のレートの信号列 X が端子1に入力され、D/A変換器2によりアナログ信号に変換される。さらに、ローパスフィルタ（LPF）3により高調波成分を除去された信号は、A/D変換器4によりクロック CK_2 のレートで再度デジタル信号に変換される。この場合 CK_1 と CK_2 との周波数比の関係は自由でよい。

【0009】

【発明が解決しようとする課題】上述した第1の従来例は、変換前後のクロック周波数 f_1 と f_2 との比が比較的簡単な整数比である場合に限られるので、使い勝手が悪かった。

【0010】第2の従来例は、レート変換の都度D/A変換器2、LPF3、A/D変換器4が必要となる。よって、LSIの回路内にクロックレート変換回路を構成する場合に、入出力端子の増加、LSI外部部品数の増加を伴う。また、LSI内にA/D変換器、D/A変換器を内蔵できるにしても、通常のロジックよりチップサイズが増大する。特にクロックレート変換回路の数が多くなるほど上記欠点が大となり、コストも増大する。

【0011】本発明は、従来の欠点を除去し、単純なロジックによる回路構成で、任意のクロック周波数比でのレート変換を可能とすると共に、IC化に好適なクロックレート変換回路を提供することを目的としている。

【0012】

【課題を解決するための手段】そこで、上記課題を解決するために本発明は、第1のクロックにより標準化された入力信号を、第2のクロックのレートの信号にレート変換するクロックレート変換回路であって、前記第2のクロックの周波数の正の整数倍（N倍）の周波数を有する第3のクロックにより、前記第1のクロックをラッチする第1の論理回路と、前記第1の論理回路の出力をクロックとして、前記入力信号をラッチする第2の論理回路と、前記第2の論理回路の出力が供給される、前記第3のクロックで動作するローパスフィルタと、前記第3のクロックが供給され、前記ローパスフィルタの出力を $1/N$ に間引いて、前記第2のクロックのレートの信号を出力する $1/N$ 間引き回路とより構成したことを特徴とするレート変換回路を提供するものである。

【0013】

【実施例】図1に一実施例の構成を図示し、以下その内容を説明する。12～15、17はそれぞれDフリップフロップ（以下、DFF）である。DFF12、13、15、17では、各端子Dに入力されるデータは、各端子CKに入力されるクロックによりラッチされて各端子Qより出力される。DFF14は端子Qに反転したデータが出力される以外は前記DFFと同じである。

【0014】端子10に入来した入力信号列IN（第1のクロックCK1により標準化された信号）は、DFF12の端子Dに供給される。DFF12の出力はDFF13（第2の論理回路）の端子Dに供給され、DFF13の出力はDFF15の端子Dに供給され、DFF15の出力はLPF16に供給される。LPF16の出力はDFF17の端子Dに供給され、DFF17の出力は出力信号（OUT）として端子19から外部に出力される。

【0015】一方、端子11に入来した入力クロックCK1（第1のクロック）は、DFF12の端子CKに供給されると共に、DFF14（第1の論理回路）の端子Dに供給される。DFF14の出力はDFF13の端子CKに供給される。端子20に入来したクロックCK3（第3のクロック）は、DFF14、15、LPF16のCK端子に供給されると共に、1/N回路18に供給される。1/N分周器18の出力はDFF17のCK端子に供給されると共に、端子21に供給される。DFF17と1/N分周器18とが1/N間引き回路を成す。

【0016】クロックCK3の周波数は、クロックCK2（第2のクロック）のN倍（正の整数倍）に設定されており、さらに少なくともCK1の2倍以上の周波数である。

【0017】図2に、入力信号（IN）列D0、D1、D2、D3、…に対する図1中の各点（A）、（D）、（B）、（C）での信号、及びクロックCK1、CK3のタイミングの一例を示す。なお、図1中に示す全てのDFFは、入力されるクロックの立ち上がりエッジで動作するものとする。

【0018】（D）点のクロック波形には、図2（D）の斜線に示すようにHまたはLレベルに定まらない部分が生ずる。これは、DFF14の動作において、CK1のレベルのセットアップタイムとホールドタイムとが、CK3の立ち上がりエッジに対し十分に確保できない場合に生じる。

【0019】一方、（D）点の立ち上がりエッジに対する（A）点のデータのセットアップタイムは、CK1のHレベルの期間からCK3の周期を減じた値以上に、ホールドタイムはCK1のLレベルの期間からCK3の周期を減じた値以上になる。従って、DFF13は、セットアップタイムとホールドタイムとが常に十分に確保される。

【0020】ここで、DFFに入力されるクロックの立ち上がりエッジから出力データが変化を開始するまでの遅延期間をdとすると、CK3の立ち上がりエッジに対する（B）点のデータのセットアップタイムは、CK3の周期から2倍のdを減じた値に、ホールドタイムは2倍のdの値になる。従って、DFF15もセットアップタイムとホールドタイムとが常に十分に確保される。

【0021】非同期のCK1、CK3によるレート変換

によって、入力データINは図2（C）に示すデータ

（図1中の（C）点の信号）に変換される。斜線で示す部分がD1、またはD2の不確定な値になる。これは、前述した通りDFF14の動作において、CK3に対しCK1のセットアップタイム、ホールドタイムが確保されないためである。この現象は一種の位相ひずみを生じることになり、不要な高調波のスペクトルが発生することになる。

【0022】図3は、上記した現象（不要な高調波のスペクトル発生現象）を周波数スペクトルで示した図である。

【0023】図3（a）は、入力信号IN（サンプリング周波数f1）の信号列x1、x2、…のスペクトラムの一例を示したものである。図3（b）は、図1に示す（C）点の信号のスペクトラムであり、クロック周波数f3（CK3のサンプリング周波数）に変換された信号のスペクトラムである。図3（b）において、0～f3の間の斜線で示す部分は、図3（a）に示す周波数f1の整数倍の高調波成分（データが1次ホールドされ振幅は小さくなる）と、前述した位相変動に起因して発生する不要な高調波成分である。

【0024】図3（c）は、LPF16の周波数特性の一例である。この特性により、LPF16の出力は、図3（b）の斜線部分が除去された信号となる。LPF16の出力は、DFF17によりラッチされて端子19に出力される。但し、DFF17のCK端子には、分周器18からf3/N（Nは正の整数）の周波数のクロックが入力されているので、DFF17の出力のレートはf3/N=f2となる。従って、DFF17の出力のスペクトラムは、図3（d）に示すものとなる。

【0025】以上説明した動作により、入力信号INは、サンプリング周波数がf1からf2=f3/Nにレート変換され、その信号スペクトラムは図3（a）から（d）になる。

【0026】このように、本実施例のクロックレート変換回路は、単純な回路構成であるにもかかわらず、任意のクロック周波数比でのレート変換が可能であるので、使い勝手が非常によい。さらに、このクロックレート変換回路は、単純なロジック回路により構成できるので、LSI化において、従来のようなA/D変換回路、D/A変換回路、アナログのLPF、入出力の外部ピンが不要となり、小規模のゲート規模でLSI化できるので、より一層の低コスト化、小型化が図れる。

【0027】次に、このクロックレート変換回路をテレビジョン信号処理回路に用いた場合のレート変換の一例を示す。色副搬送周波数fsc=3579545Hz、水平同期周波数fh=2/455*fsc=15734Hzであるとし、入力信号のサンプリング周波数f1=4*fsc=14.318MHzを、f2=1024*f1=16.112MHzにレート変換する場合、以下

のようになる。

【0028】クロックCK3の周波数 f_3 は $1/N$ 分周器18でのNを4とすると、 $f_3 = 4 * f_2 = 64$ 、44.8MHzになる。また、LPF16を9タップのトランスバースフィルタとし、各タップ係数を、 $(1/64, 4/64, 8/64, 12/64, 14/64, 12/64, 8/64, 4/64, 1/64)$ とすると、このLPF16の周波数特性は、図3

(c)に示す特性となる。周波数0の時の振幅に対し振幅が $1/2$ 以上となる帯域は、約6.4MHzになる。従って、 $f_2 = 16$ 、11.2MHzにレート変換された信号のスペクトルは、帯域約6MHzの図3(d)に示すスペクトルとなる。

【0029】なお、本実施例では、第1、第2の論理回路、及び $1/N$ 間引き回路にDFFを用いたが、もちろん信号をラッチできる他の論理回路を用いてもよい。

【0030】

【発明の効果】以上の通り、本発明のクロックレート変換回路は、単純な回路構成であるにもかかわらず、任意

のクロック周波数比でのレート変換が可能であるので、使い勝手が非常によい。さらに、このクロックレート変換回路は、単純なロジック回路により構成できるので、LSI化において、従来のようなA/D変換回路、D/A変換回路、アナログのLPF、入出力の外部ピンが不要となり、小規模のゲート規模でLSI化できるので、より一層の低コスト化、小型化が図れる。

【図面の簡単な説明】

【図1】一実施例の構成を示す図である。

【図2】実施例の動作タイミング図である。

【図3】実施例における信号スペクトラムを示す図である。

【図4】第1従来例を説明するための図である。

【図5】第2従来例を示す図である。

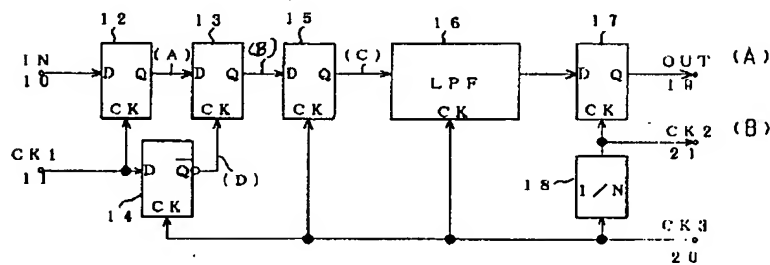
【符号の説明】

12~15, 17 DFF (Dフリップフロップ)

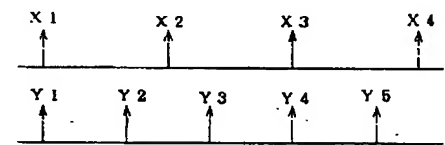
16 LPF

18 $1/N$ 分周器

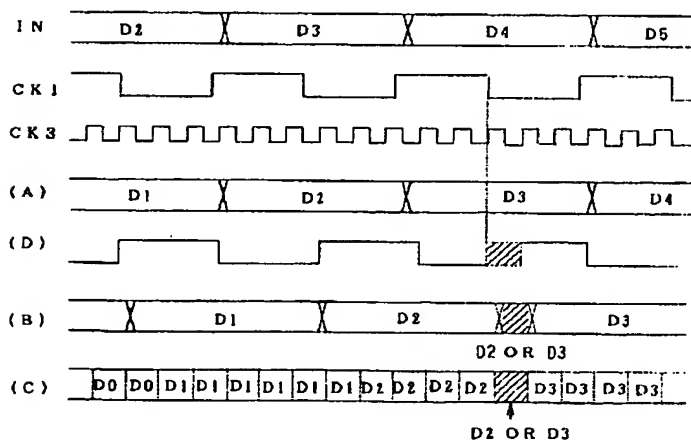
【図1】



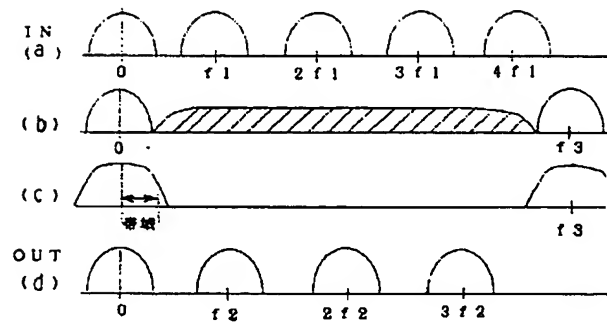
【図4】



【図2】



【図3】



【図5】

